실험물리학 2

8주차 예비 레포트

<디지털 논리회로의 응용-멀티바이브레이터>

이름: 김나현

학번: 20191286

분반: 2분반

담당 교수님: 정명화 교수님

담당 조교님: 소현경 조교님

제출일자: 2020년 11월 11일 수요일

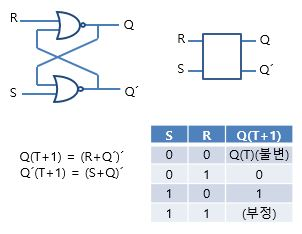
1. 실험 목표
2. 쌍안정 멀티바이브레이터인 래치와 플립플롭에 대해 이해하고 이를 응용한 회로를 구성할 수 있다.
3. 단안정 멀티바이브레이터와 비안정 멀티바이브레이터에 대해 이해할 수 있다.
4. 실험 이론
5. 조합 논리 회로, 순차 논리 회로

디지털 회로 중 조합 논리 회로(combinational logic circuit)는 메모리가 없어서 현재 입력만으로 출력이 결정되는 논리 회로이다. 반면, 순차 논리 회로(sequential logic circuit)는 메모리가 있어서 입력에 의해서만 출력이 결정되는 것이 아니라 기존에 들어왔던 입력들의 영향을 받은 현재 회로의 상태를 반영하여 출력이 결정되는 논리 회로를 의미한다. 본 실험에서는 이러한 논리 회로 중 메모리, 즉 기억장치를 가지고 있는 순차 논리 회로의 기본 구성 요소 중 래치나 플립플롭에 대해 알아볼 예정이다.

1. RS래치 (latch)

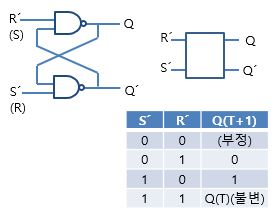
앞서 언급하였듯이 래치나 플립플롭은 순차 논리 회로에서 없어서는 안 되는 기억 소자에 해당한다. 이와 같은 순차 논리 회로는 또 두 가지로 구분이 되는데 하나는 동기 순차 논리 회로(synchronous sequential logic circuit)로, clock이라는 주기적인 전기 신호에 의해 특정한 시간마다 회로의 상태가 업데이트되는 회로를 의미하고, 다른 하나는 비동기 순차 논리 회로(asynchronous sequential logic circuit)로, 주기적인 전기 신호가 없어서 어떤 시각에서도 입력에 따라 출력이 변화될 수 있으며 회로의 동작이 입력 신호들이 입력되는 순서에 따라 좌우되는 회로를 의미한다. 래치와 플립플롭은 기억 소자라는 점에서 공통점이 있지만, 래치는 클럭 신호가 없지만 플립플롭은 클럭 신호가 있다는 차이점이 있다.

SR래치는 S(set)과 R(reset), 두 개의 입력 단자를 가지며 Q와 Q의 보수인 Q’의 출력 단자를 가지고 있다. 아래 <그림 a>을 참고하면 RS NOR 래치 회로는 두 개의 NOR 게이트로 구성되어 있다는 사실을 알 수 있다. Q의 논리식에 대해 알아보면 Q=(R+Q’)’이므로 Q=(R+(S+Q)’)’이고 이는 Q=R’• (S+Q)임을 알 수 있다. 따라서 S=R=0이면 Q=1•(0+Q)=1•Q이므로 Q는 이전의 Q값을 계속해서 유지하고, S=0, R=1이면 Q=0•(0+Q)=0•Q이므로 Q는 이전의 값과 무관하게 0이 되고, S=1, R=0이면 Q=1•(1+Q)=1•1=1이므로 Q는 이전의 값과 무관하게 1이 되고, 마지막으로 S=R=1이면 Q=0•(1+Q)=0•1=0이므로 이때 또한 Q는 이전의 값과 무관하게 0이 된다는 것을 알 수 있다. Q’의 논리식에 대해 알아보면 Q’=(S+Q)’이므로 Q’=(S+(R+Q’)’)’이고 이는 Q’=S’•(R+Q’)임을 알 수 있다. 따라서 S=R=0이면 Q’=1•(0+Q’)=1•Q’이므로 Q’은 이전의 Q’값을 계속해서 유지하고, S=0, R=1이면 Q’=1•(1+Q’)=1•1이므로 Q’은 이전의 값과 무관하게 1이 되고, S=1, R=0이면 Q’=0•(0+Q’) =0•Q’이므로 Q’은 이전의 값과 무관하게 0이 되고, 마지막으로 S=R=1이면 Q’=0•(1+Q’)=0•1이므로 이 또한 Q’은 이전의 값에 무관하게 0이 된다는 것을 알 수 있다. 이것을 정리하면 아래 <그림 a>의 오른쪽 표와 같은데 Q와 Q’은 서로 보수라는 전제 조건에도 불구하고 S=R=1일 때는 둘 다 0이 되므로 문제가 발생하고, 이처럼 S=R=1인 입력은 ‘정의되지 않은 입력’이 된다.



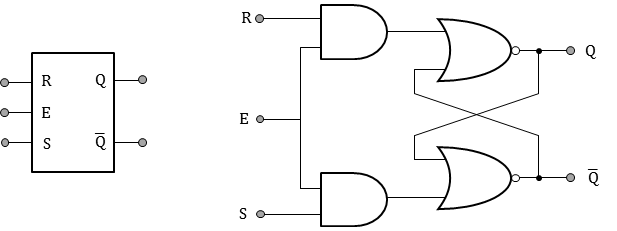
<그림 a> NOR 게이트를 이용한 RS 래치와 진리표

NAND 게이트를 이용한 RS 래치에 대해서도 알아볼 수 있는데, 아래 <그림 b>를 보면 NAND 게이트를 이용한 RS 래치는 NOR 게이트를 이용한 RS 래치와는 다르게 입력이 S’, R’으로 각각 S와 R의 보수를 입력한다는 차이가 있다.



<그림 b> NAND 게이트를 이용한 RS 래치와 진리표

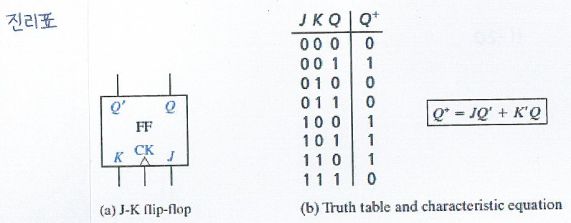
이때, NAND 게이트를 이용한 RS 래치에서는 S’과 R’에 둘 다 0을 입력하였을 때 Q와 Q’의 결과가 1로 같게 나오기 때문에 허용되지 않는 입력이 된다.

래치의 경우, 비동기 순차 논리 회로에 이용되는 기억 소자이므로 클럭이 없으므로 입력 S, R을 언제든 입력할 수 있는데 타이밍이 맞지 않으면 우리가 알고자하는 결과가 아닌 다른 결과가 출력될 수도 있으므로 현재 입력 R, S에 대한 출력만을 얻기 위해 Enable이라는 신호를 추가하여 이 신호가 0이면 R과 S의 상태가 출력에 영향을 미치지 않게 하고 이 신호가 1이면 RS 래치가 동작하여 R과 S의 입력에 의해 출력이 결정되게 할 수 있다. 이때, NOR 게이트를 이용하여 만든 래치 회로에 AND 게이트를 추가하여 아래 <그림 c>와 같은 게이트 SR NOR 래치 회로를 만들어야 Enable 신호를 연결할 수 있다.

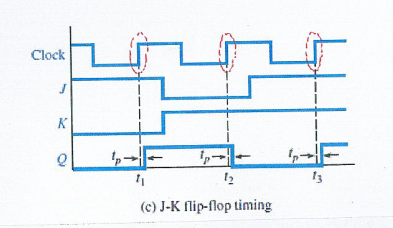
<그림 c> 게이트 SR NOR 래치(gated SR latch with NOR gates)

1. JK플립플롭 (JK flip-flop)

플립플롭은 멀티바이브레이터라고 하는 디지털 회로 범주에 속하는데, 멀티바이브레이터란 두 개의 능동소자로 이루어진 재생 회로로써 한 소자가 오프 상태로 있는 동안 다른 장치가 전도하도록 설계되어 있다. 플립플롭은 출력이 high 전압(1) 또는 low 전압(0)인 쌍안정 멀티바이브레이터로, 트리거라고 하는 입력이 인가될 때까지 출력은 high 또는 low 상태를 유지한다. Clock이 없는 RS래치와는 달리 클럭 플립플롭에서는 상승 엣지가 인가될 때만 플립플롭의 상태 변동이 일어나고 이러한 플립플롭을 상승 엣지 트리거형 플립플롭이라고 한다. 상승 엣지 트리거형 플립플롭의 상태 변동이 일어나면 클럭 펄스의 상승 엣지가 low에서 high로 전환이 되고, 펄스가 0 전압 수준에서 양의 전압 수준으로 올라가는 것을 의미한다. 따라서, 클럭 입력이 low이면 플립플롭의 상태에 영향을 주지 않고 입력 S와 R이 바뀔 수 있다.

본 실험에서 사용할 JK플립플롭은 가장 널리 이용되는 플립플롭으로 다른 유형의 플립플롭이 가진 모든 특징을 갖는다는 독특한 장점이 있다. JK 플립플롭은 엣지에 의해 트리거 되며 능동 클럭 엣지에 존재하는 J와 K 입력에서만 데이터를 받아들이므로 정확한 순간에 J와 K의 입력 데이터를 받을 수 있다. JK플립플롭은 SR플립플롭을 확장한 개념으로, J입력을 S, K입력을 R이라고 생각하면 SR플립플롭의 동작과 같지만 SR플립플롭과 달리 J=K=1일 때가 허용된다는 차이점이 있다.

<그림 d> JK플립플롭의 기호와 진리표



<그림 e> 상승 엣지 JK플립플롭의 타이밍도

1. 멀티바이브레이터(multivibrator)-쌍안정(bistable), 단안정(monostable), 비안정(astable)

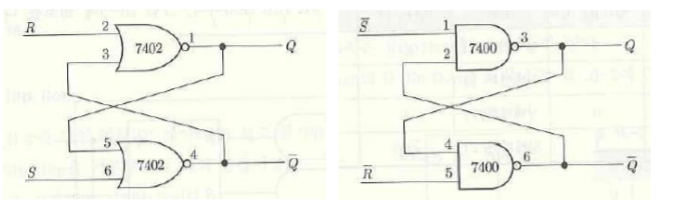
멀티바이브레이터는 2진수를 저장하고 펄스 수를 세고, 산술연산을 동기화하고 디지털 시스템에서 기타 필수 기능을 수행할 수 있다. 멀티바이브레이터 중 쌍안정 상태의 멀티바이브레이터를 플립플롭이라고 부른다. 멀티바이브레이터의 종류는 쌍안정, 단안정, 비안정으로 모두 펄스 파형을 발생하는 역할을 한다. 우선, 쌍안정 멀티바이브레이터는 2개의 안정상태를 갖고, 오직 트리거될 때에만 다른 안정상태로 옮겨간다는 특징이 있다. 또한 트리거가 없으면 한 안정상태에 계속 머무르기 때문에 어느 한쪽의 안정상태에만 무한정 머무를 수 있다. 단안정 멀티바이브레이터는 트리거될 때 하나의 단일 펄스를 발생시키는 회로로, 원샷(One-shot)이라고 불리기도 한다. 평소엔 안정상태에 있다가 트리거 신호가 들어오면 일정한 시간동아 준안정상태에 있다가 다시 안정상태로 되돌아오며 불안정상태에 머무는 시간에 의해 출력 펄스 폭이 결정되지만 출력 펄스의 지속시간과 파형은 트리거 펄스의 폭이나 파형과는 관련이 없다. 비안정 멀티바이브레이터는 안정상태를 아예 갖지 않고, 2개의 준안정상태만을 갖는 멀티바이브레이터로 미리 정해진 T1과 T2시간만큼 준안정상태를 유지해가며 무한히 두 상태를 오간다. 이때, 일반적으로 펄스 발생 주파수는 RC 회로에 의해 조절되기도 한다.

1. 재트리거가능(retriggerable)/재트리거불가(nonrefriggerable)

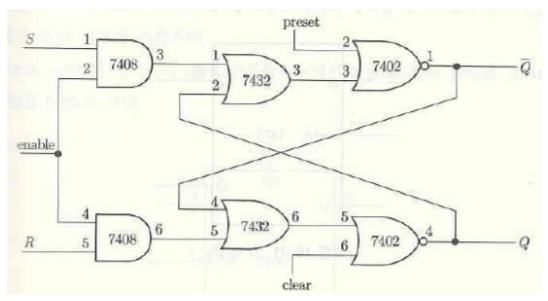
재트리거가 불가능한 원샷은 불안정한 상태에서는 어떠한 트리거에도 반응하지 않지만 재트리거가 가능한 원샷은 모든 트리거에 반응해서 불안정 상태에서도 트리거에 의해 반응한다. 트리거가 만약 불안정 상태에서 발생하면 그 불안정상태가 펄스의 폭만큼 연장된다.

1. 실험 장비 및 재료
2. 실험 장비
3. NI ELVIS
4. 오실로스코프: PHILIPS 60 MHz Digital Storage Oscilloscope PM3335
5. 함수발생기: EZ FG-8002
6. DC power suppl
7. 실험 재료
8. 저항
9. 7400, 7402, 7404, 7408, 7432, 7474, 7476, 74121
10. 실험 방법
11. 쌍안정 멀티바이브레이터-래치/플립플롭

래치(latch)는 임시 저장 소자의 한 종류로써, 두 개의 안정 상태를 가지고 있으며 플립플롭(flip-flop)과 별개의 부류로 분류되는 쌍안정(bistable) 소자이다. 출력이 반대편 입력으로 연결되는 귀환 배치를 이용해서 두 가지의 안정 상태 중 하나의 상태로 만들 수 있다는 점에서 플립플롭과 비슷한 기능을 하지만 래치와 플립플롭은 상태를 변화시키는 방법에 차이가 있다.

플립플롭(flip-flop)은 동기식 쌍안정 소자로써, 이때 동기식(synchronous)이라는 의미는 클럭(clock, CLK)이라고 하는 트리거 입력의 특정한 지점에서만 출력 상태가 바뀐다.

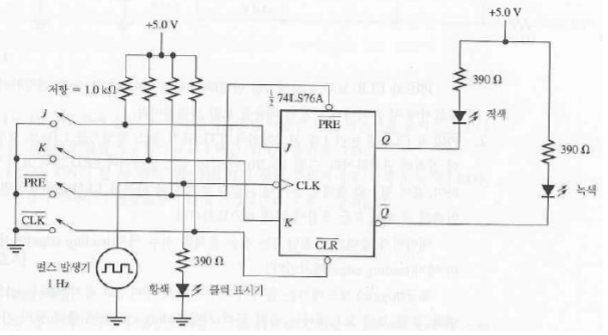
<그림 1> RS 래치 회로



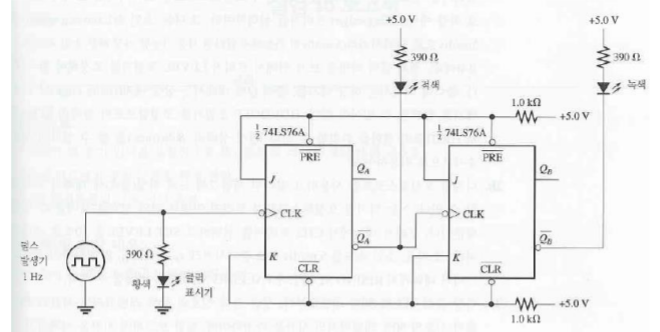
<그림 2> preset, clear, enable 단자를 가진 RS 래치

위의 <그림 1>을 구성하고 동작을 확인하고, <그림 2>의 회로를 구성한다. <그림 2>는 preset, clear, enable을 가진 RS 래치이다. Preset과 clear는 다른 입력에 관계없이 출력을 결정하고, Enable은 ON일 경우에만 RS 래치가 동작하게 하고, OFF일 때는 R과 S의 상태가 출력에 영향을 미치지 않는다. 이를 확인하며 작동을 표로 작성한다.

엣지 트리거 플립플롭(edge-triggered flip-flop)은 클럭 펄스의 양의 엣지(다른 말로는 상승 엣지) 또는 음의 엣지(다른 말로는 하강 엣지)에서 상태가 변화하고, 플립플롭의 상태는 클럭이 변화할 때 인가된 입력 상태에 의해 결정된다. 이번 실험에서는 플립플롭 중에서 범용으로 널리 사용되고 있는 J-K 플립플롭에 관한 회로를 구성해보도록 한다. 아래 <그림 3>의 회로를 구성하고 입력의 모든 조합에 대해서 LED의 변화를 관찰하여라. 이때, 클럭 펄스의 상태 변화를 오실로스코프로 관측하면서 이 실험을 진행하도록 한다. 관찰한 결과를 진리표로 작성하도록 한다. 클럭 펄스의 경우는 상승 엣지 상태와 하강 엣지 상태라는 두 가지 경우로 기록하면 된다.



<그림 3> J-K 플립플롭

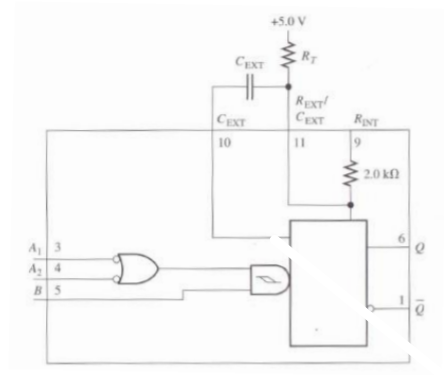
아래 <그림 4>의 회로를 구성하고 클럭 펄스의 변화에 따른 QA와 QB의 변화를 그려본다. <그림 4>의 회로는 리플 카운터(ripple counter)이다. 카운터에 관한 회로는 다음 실험에서 배우게 되므로 여기서는 이 회로가 어떠한 방식으로 이용되는지보다는 클럭 펄스의 변화에 따른 출력의 변화를 관찰함으로써 플립플롭에 익숙해지는 것을 목표로 하도록 한다.

<그림 4> J-K 플립플롭을 이용한 리플 카운터

1. 단안정 및 비안정 멀티바이브레이터

단안정(monostable) 멀티바이브레이터 중 하나인 원-샷(one-shot)은 보통 안정 상태에 있다가 트리거 신호가 들어오면 불안정 상태로 되는데, 일단 원-샷이 트리거되면 미리 정해진 시간동안 불안정 상태로 있다가 자동적으로 안정 상태로 돌아오는 소자이다. 이 소자가 불안정 상태로 머무는 시간에 의해 출력 펄스폭이 결정된다.

비안정 멀티바이브레이터의 대표적인 소자로는 555 타이머가 있다. 555 타이머의 경우, 단안정 멀티바이브레이터로도 사용될 수 있기에 다양한 용도로 사용되는 집적회로 소자이다. 555 타이머의 경우는 연산 증폭기에서 이전에 다루었기 때문에 이번 실험에서는 74121을 사용한 단안정 멀티바이브레이터를 살펴본다.



<그림 5> 74121의 구조

위의 <그림 5>의 회로를 구성한다. 이때, 회로도에는 있지 않아도 7번 핀의 접지와 14번의 Vcc는 항상 연결해야 하는 것에 주의해야 한다. 74121의 펄스폭은 다음과 같은 식으로 구할 수 있다.

0.01μF의 커패시터를 사용하여 50 μs의 펄스폭을 얻기 위해 필요한 타이밍 저항 을 선택한다. 본 실험에서는 A1과 A2에 0을 인가한다(접지). B에는 10 kHz의 사각파를 인가하고, 출력을 관찰하기 위해 함수발생기와 Q단자에 오실로스코프를 연결한다. 출력 신호로부터 펄스폭을 측정하고 이를 계산한 값과 비교한다. 입력 신호의 duty cycle을 바꾸어보고 결과를 관찰한다. 입력 신호의 주파수를 50 kHz까지 천천히 증가시키면서 출력을 관찰한다. 관찰 내용을 바탕으로 74121이 재트리거 가능한지, 아닌지 기술하자.

1. 참고문헌

-Earl Gates, 전기전자공학, 1판, 북스힐, 2018년, pg. 265-273

-Alan B. Marcovitz, Introduction to logic design, 3판, McGraw-Hill Higher Education, 2009년, pg. 295-306

실험물리학 2

8주차 결과 레포트

<디지털 논리회로의 응용-멀티바이브레이터>

이름: 김나현

학번: 20191286

분반: 2분반

담당 교수님: 정명화 교수님

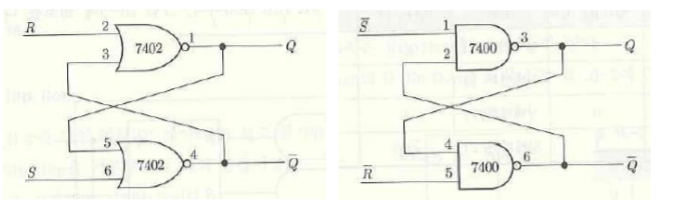
담당 조교님: 소현경 조교님

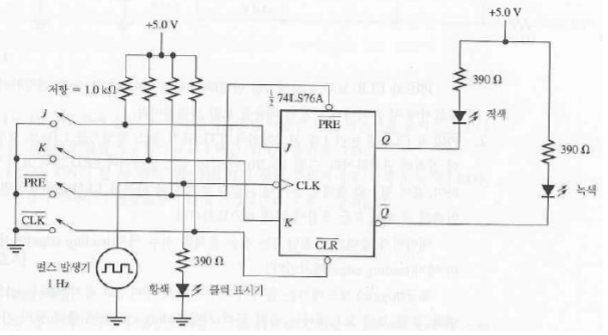
제출일자: 2020년 11월 18일 수요일

1. 실험 결과
2. 쌍안정 멀티바이브레이터-래치/플립플롭
3. 본 실험에서는 NOR 게이트와 NAND 게이트를 이용한 RS 래치 회로 중 아래 <그림 1>과 같이 NOR 게이트를 이용한 RS 래치 회로를 구성하고 동작을 확인해보았다. 이후, 실험 결과와 이론적인 회로 분석을 통해 예측한 결과를 비교해보도록 하였다.

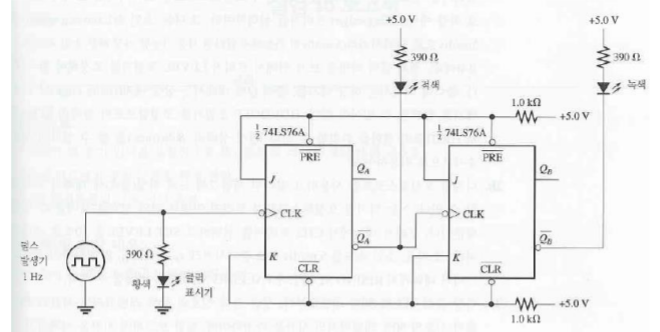
또한, 플립플롭 중 가장 널리 사용되는 J-K 플립플롭에 관한 회로를 아래 <그림 3>과 같이 구성하고 입력의 모든 조합에 대해서 LED의 변화를 관찰하고 진리표를 작성였다. J-K 플립플롭는 RS 래치를 확장한 개념으로 봐도 무방한데 J입력은 RS 래치에서의 S입력으로, K입력은 RS 래치에서의 R입력으로 생각하면 J-K 플립플롭은 RS 래치와 J=K=1인 경우를 제외하고는 동작이 같다. 본 실험에서는 클럭 펄스의 상태 변화를 오실로스코프를 이용하여 관측하였다.

마지막으로, 리플 카운터인 아래 <그림 4>와 같이 회로를 구성하고 클럭 펄스 변화에 따른 QA와 QB의 변화를 그려보았다. 리플 카운터에 대해서는 다음 실험에 더욱 자세히 다루므로 본 실험에서는 클럭 펄스의 변화에 따른 출력 변화만을 관찰하도록 하였다.



<그림 1> NOR 게이트를 이용한 RS 래치 회로

<그림 3> J-K 플립플롭

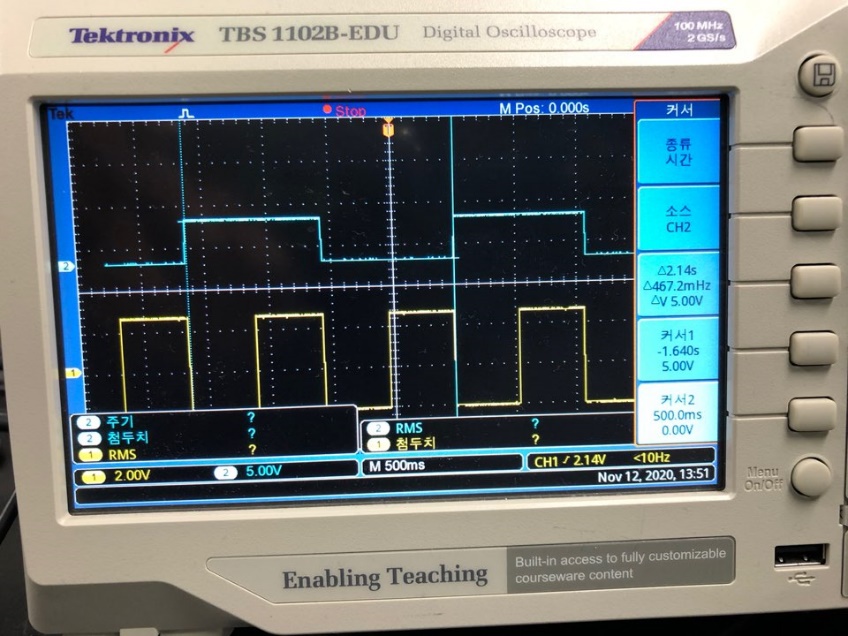


<그림 4> J-K 플립플롭을 이용한 리플 카운터

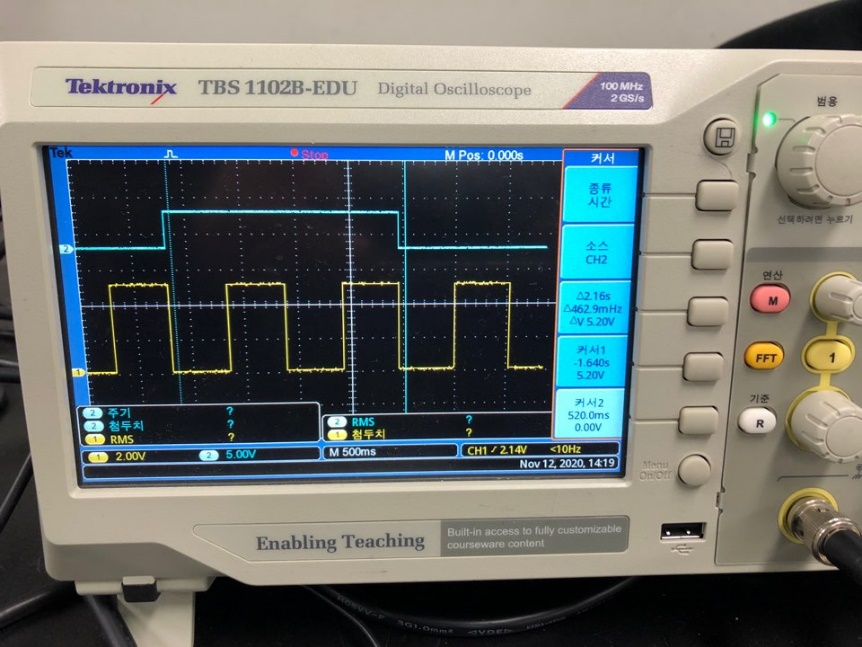
1. <표 1> NOR 게이트를 이용한 RS 래치 회로의 진리표



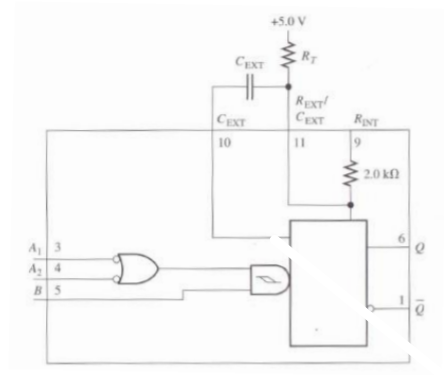
1. <표 2> J-K 플립플롭의 진리표
2. <그림 3-1> J-K 플립플롭에서 클럭 펄스의 상태 변화에 따른 출력 신호의 상태 변화



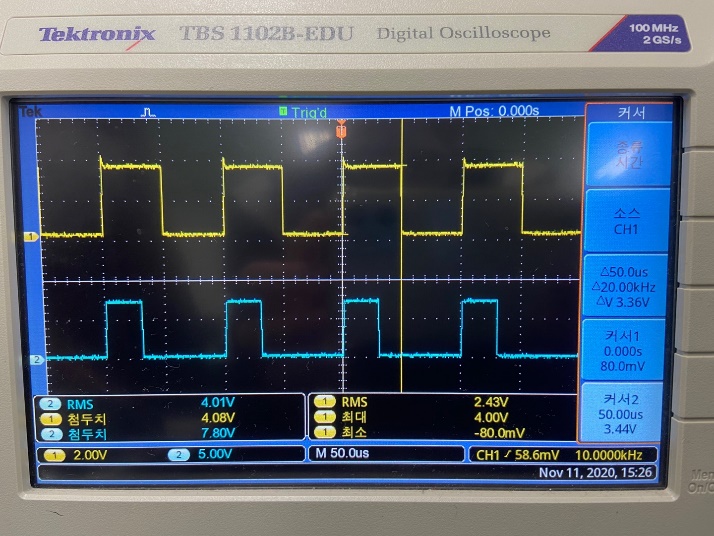
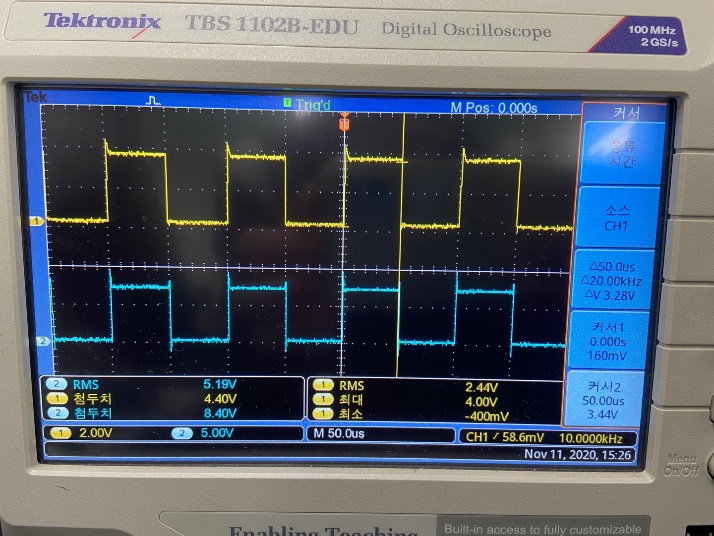
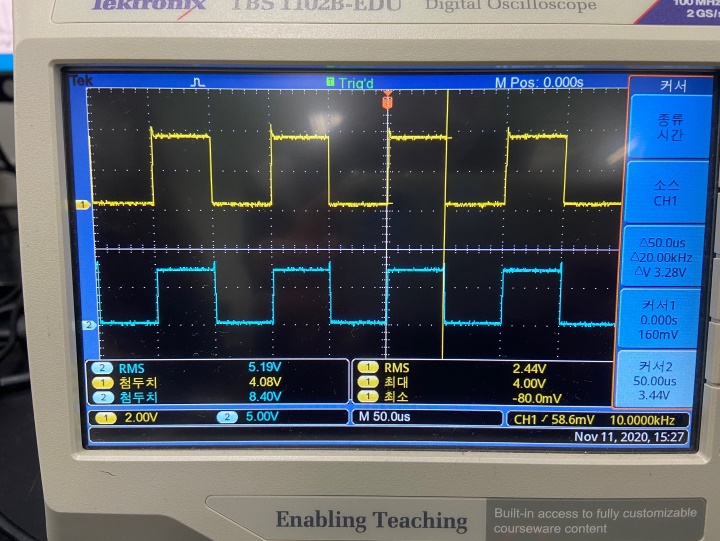
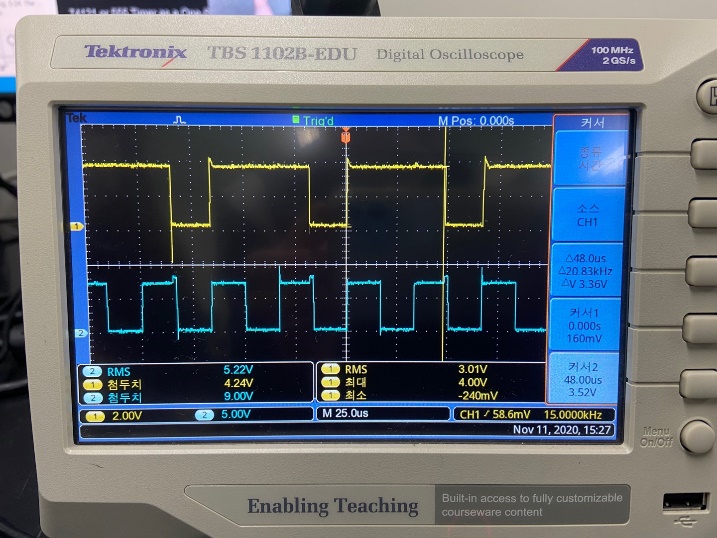
1. <그림 4-1> 리플 카운터에서 클럭 펄스의 상태 변화에 따른 출력 신호의 상태 변화



1. 단안정 및 비안정 멀티바이브레이터
2. 본 실험에서는 74121 소자를 사용한 단안정 멀티바이브레이터 회로인 아래 <그림 5>의 회로를 구성하고, 74121 소자의 펄스폭을 이라는 식으로 구할 수 있다는 점에 유의하여 0.01μF의 커패시터를 사용하여 50 μs의 펄스폭을 얻기 위해 필요한 타이밍 저항 을 선택하였다. 또한, A1과 A2에 0을 인가하고, B에는 10 kHz의 사각파를 인가한 후, 출력을 관찰하기 위해 함수발생기와 Q단자에 오실로스코프를 연결하였다. 출력 신호로부터 펄스폭을 측정하고 이를 계산한 값과 비교해보았다. 마지막으로는 입력 신호의 duty cycle을 바꾸어가며 결과를 관찰해보고, 입력 신호의 주파수를 50 kHz까지 천천히 증가시키면서 출력을 관찰해보았다. 이러한 관찰 결과를 바탕으로 74121가 재트리거 가능한지, 가능하지 않은지를 생각해보았다.



<그림 5> 74121를 이용한 단안정 멀티바이브레이터 회로

1. 50 μs의 펄스폭을 얻기 위해 필요한 타이밍 저항 : 약 7.15 kΩ
2. <그림 5-1> 입력 신호의 duty cycle이 50, 30일 때의 출력 신호
3. <그림 5-2> 입력 신호의 주파수가 10 kHz, 30 kHz일 때의 출력 신호
4. 74121의 재트리거 가능 여부: 불가능
5. 실험 분석
6. 쌍안정 멀티바이브레이터-래치, 플립플롭

첫 번째 실험은 NOR 게이트로 구성된 RS 래치 회로의 동작에 대해 알아보는 실험이었다. RS 래치는 S(set), R(reset)이라는 두 개의 입력 단자를 가지고 Q와 Q의 보수인 Q’의 출력 단자를 갖는다. <그림 1>을 통해, Q의 논리식에 대해 알아보면 Q=(R+Q’)’이므로 Q=(R+(S+Q)’)’이고 이는 Q=R’• (S+Q)임을 알 수 있다. 따라서, S=R=0일 때는 Q가 변하지 않고 이전의 Q 값을 유지하고, S=1, R=0이면 Q는 이전의 값에 무관하게 1이, S=0, R=1이면 Q는 이전의 값에 무관하게 0이 된다는 것을 알 수 있는데 S=R=1일 때는 Q와 Q’이 서로 0으로 같으므로 문제가 발생하게 되어 정의할 수 없게 된다. <표 1>을 보면 R과 S가 모두 0일 때, Q의 값이 1이므로 이전의 Q의 값이 1이었음을 알 수 있다. R=0, S=1을 입력하면 예상과 같이 Q의 값이 1이고, R=1, S=0을 입력하면 예상대로 Q의 값이 0으로 변하게 된다.

두 번째 실험은 J-K 플립플롭을 구성하고, J, K, PRE, CLK 네 가지 입력의 모든 조합에 대해서 LED의 변화를 관찰하였다. J-K 플립플롭은 두 입력 J와 K에 1을 입력하여도 출력 Q와 Q의 보수인 Q’가 서로 모순되지 않는다는 특성을 제외하고는 RS 래치와 같게 동작한다는 사실을 익히 알고 있다. 하지만, <그림 3>을 보면 알 수 있지만 J-K 플립플롭은 J와 K의 입력 외에도 PRE’와 CLR’, CLK이라는 세 개의 입력이 더 있고, 출력 결과가 이 세 값에도 영향을 받게 된다. 이때, J-K 플립플롭은 클럭 신호에 동기화되어 CLK이 하강 에지, 즉 신호의 전이가 높은 수준인 1에서 낮은 수준인 0으로 변화하는 시점에 입력을 받아 출력 상태를 유지하거나 바꾼다(트리거 된다)는 사실을 <그림 3-1>을 통해 알 수 있고, 실제로 실험 결과 클럭 펄스가 하강 에지일 때 출력 신호가 달리지는 것을 확인할 수 있었다. <표 2>를 보면 PRE’가 0이고 CLR’이 1일 때는 CLK과 J, K의 입력에 상관없이 Q가 항상 1, Q’이 항상 0이 된다는 것을, PRE’가 1이고 CLR’이 0일 때는 CLK과 J, K의 입력에 상관없이 Q가 항상 0, Q’이 항상 1이 된다는 사실을 알 수 있다. 하지만 PRE’과 CLR’이 모두 0일 때는 이 두 입력의 충돌되는 영향을 받아 출력이 불안정하게 변하는 모습을 볼 수 있었다. 또한 PRE’과 CLR’이 모두 1이고 CLK 핀의 입력 상태도 하강 에지가 아닐 때는 당연히 Q와 Q’의 상태가 변하지 않고 이전의 출력 상태를 유지하는 모습을 볼 수 있었다. 마찬가지로 PRE’과 CLR’이 1이어서 이 두 입력에 대해 영향을 받지 않는 상태에서는 J와 K가 모두 0일 때, RS 래치에서 S와 R이 모두 0일 때처럼 이전의 출력 상태를 유지하고 J가 1, K가 0일 때는 Q가 1, Q’이 0, J가 0, K가 1일 때는 Q가 0, Q’이 1이 된다는 것을 확인할 수 있었다. RS 래치에서는 R과 S가 모두 1인 입력이 불가능했던 반면, J-K 플립플롭에서는 J, K, PRE’, CLR’가 모두 1이고 CLK이 하강 에지 상태에서 토글(toggle) 되어 이전의 상태와 정반대가 되는 출력을 나타낸다.

<그림 3-1>을 보면, 노란색의 클럭 펄스에 따른 출력 신호의 모습을 확인할 수 있는데 클럭 펄스가 두 번 주기를 반복하는 동안 출력 신호는 한 번의 주기가 지나갔으므로 출력 신호의 주파수는 클럭 펄스의 주파수, 1 Hz의 절반으로 0.5 Hz임을 알 수 있다.

세 번째 실험은 J-K 플립플롭 두 개를 연결하여 구성한 리플 카운터에 관한 실험이었다. <그림 4-1>을 보면 노란색의 클럭 펄스의 변화에 따른 출력 신호의 변화를 관찰할 수 있는데 같은 주파수의 클럭 펄스를 인가하였음에도 <그림 4-1>의 출력 신호의 주파수가 <그림 3-1>의 출력 신호의 주파수의 절반이 된다는 것을 확인할 수 있다. 이는 노란색의 클럭 펄스의 하강 에지와 출력 신호를 함께 보면 <그림 3-1>에서는 클럭 펄스의 주기가 한 번 나타나는 동안 출력 신호가 High인 반면, <그림 4-1>에서는 클럭 펄스의 주기가 두 번 반복되는 동안 출력 신호가 High였기 때문이다. 따라서, <그림 4-1>의 출력 신호는 클럭 펄스의 주기가 네 번 반복되는 동안 한 번의 주기가 지나갔기 때문에 출력 신호의 주파수는 클럭 펄스의 주파수의 1/4배인 0.25 Hz임을 알 수 있다.

1. 단안정 및 비안정 멀티바이브레이터

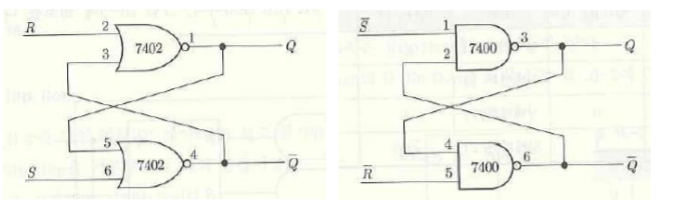
74121을 이용한 단안정 멀티바이브레이터 회로에서는 74121의 펄스폭이 와 같은 식으로 결정이 된다는 사실을 통해, 0.01μF의 커패시터를 사용한다면 50 μs의 펄스폭을 얻기 위해 크기가 얼마인 타이밍 저항 을 필요로 하는지 직접 계산해보고 실제로 계산을 통해 구한 크기의 저항을 회로에 연결함으로써 50 μs의 펄스폭을 관찰해보았다. 이때, 필요로 하는 타이밍 저항 의 크기는 약 7.15 kΩ으로, 회로를 구성할 때는 2 kΩ 저항 3개와 1 kΩ 저항 1개를 합성하여 근사적으로 7 kΩ의 합성 저항을 만들어 회로를 구성하였다.

그 후, <그림 5-1>과 같이 입력 신호의 duty cycle을 변화시키면서 오실로스코프를 통해 출력 신호를 관찰하였다. 앞서 말하였듯이 펄스폭은 커패시터의 크기와 저항의 크기에만 영향을 받으므로 duty cycle을 50 %에서 30%으로 바꾸더라도 50 μs의 펄스폭을 얻기 위해 필요한 저항을 연결한 회로에서는 출력 신호의 펄스폭이 변함없이 50 μs임을 확인할 수 있었다.

또한, 74121이 재트리거 가능한지, 아닌지를 확인하기 위해 입력 신호의 주파수를 증가시키면서 출력을 관찰하였는데 <그림 5-2>를 보면 입력 신호가 10 kHz에서 30 kHz로 증가하였는데 출력 신호의 펄스폭은 변함이 없는 모습을 통해 74121는 재트리거가 되지 않는다는 사실까지 확인할 수 있었다.

1. 토의
2. 쌍안정 멀티바이브레이터-래치, 플립플롭

첫 번째 RS 래치 실험에서는 NOR 게이트을 사용하여 만든 RS 래치 회로를 다루었는데, 아래<끄림 a’>처럼 NAND 게이트를 이용한 RS 래치 회로를 분석해보겠다. NAND 게이트에 A, B를 입력하면 결과로 (AB)’=A’+B’를 출력한다는 사실과 Q와 Q’에 대한 논리식 Q=(S’Q’)’=S+Q과 Q’=(R’Q)’ =R+Q’을 통해, S와 R이 모두 0이면 Q와 Q’이 이전의 값을 유지하며, S=0, R=1이면 Q’=1, Q=0을, 반대로 S=1, R=0이면 Q=1, Q’=0을 출력한다. 반면, S=R=1이면 Q와 Q’이 모두 1이므로 출력이 금지되는 상태이다. 따라서, NOR 게이트를 이용한 RS 래치 회로와 NAND 게이트를 이용한 RS 래치 회로의 출력이 <표 1>과 같이 서로 같다는 사실을 직접 증명해볼 수 있었다.



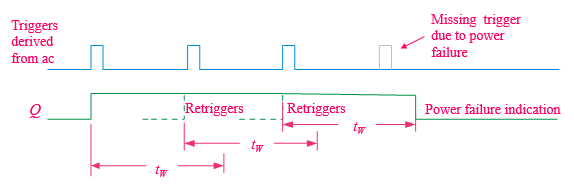
<그림 a’> NAND 게이트를 이용한 RS 래치 회로

J-K 플립플롭을 이용한 두 번째 실험에서는 클럭 펄스의 상태 변화에 따른 출력 신호의 변화를 오실로스코프를 통해 관찰할 수 있었다. <표 2>와 <그림 3-1>, <그림 4-1>을 보면 모두 클럭 펄스의 하강 에지에서 트리거되는 모습을 관찰할 수 있는데 이는 <그림 3>과 <그림 4>의 회로를 구성할 때 사용된 J-K 플립플롭, 7476이 카운터 등에서 가장 널리 사용되고, 하강 에지에서 트리거되는 ‘Dual 하강 에지 트리거 주종형 J-K 플립플롭’이기 때문이다. <표 2>에 대해 먼저 알아보면, PRE’와 CLR’은 모두 0일 때 active되고 PRE는 active되면 다른 입력에 관계없이 Q=1를 출력하고, 반대로 CLR는 active되면 다른 입력에 관계없이 Q=0을 출력하게 된다는 것을 확인할 수 있다. 따라서 PRE’과 CLR’이 모두 0일 때, 즉 PRE와 CLR가 모두 active되면 충돌하므로 출력 Q가 일정하지 않고 nonstable하게 나타나게 되고 이는 실험적으로도 확인하여, <표 2>에 적혀 있다. PRE와 CLR가 active되지 않은 상태에서는 J-K 플립플롭의 출력이 CLK과 J, K에만 영향을 받고 앞서 말하였듯이 이때 사용된 플립플롭이 하강 에지에서 트리거되기 때문에 CLK가 하강 에지일 때 J가 RS 래치의 S처럼, K가 R처럼 동작하게 되는 것이다.

<그림 3-1>과 <그림 4-1>을 통해, J-K 플립플롭을 두 개 연결하여 만든 리플 카운터와 J-K 플립플롭을 비교하면 J-K 플립플롭의 출력 신호는 클럭 펄스의 주파수의 절반이고, 리플 카운터의 출력 신호는 J-K 플립플롭의 출력 신호의 주파수의 절반임을 알 수 있다. 이에 관한 내용은 다음 실험에서 더욱 자세히 다룰 것이므로 본 실험에서는 출력 신호의 주파수만을 고려하고 넘어가도록 한다.

1. 단안정 및 비안정 멀티바이브레이터

단안정 멀티바이브레이터는 입력에 트리거 신호가 가해질 때마다 일정한 폭을 갖는 하나의 구형 펄스를 발생시키는 회로로, 트리거 신호에 의하여 일단 준 안정상태(quasi-stable)를 유지하다가 곧 안정된 상태로 복귀한다. 재트리거가 가능한 단안정 회로는 불안정 상태에서도 트리거에 반응하여, 그 불안정 상태가 펄스폭만큼 다시 연장되는 출력을 보인다. 재트리거가 가능한 단안정 멀티바이브레이터를 이용하면 아래 <그림 b’>과 같이 정전감지 회로를 만들 수 있는데, 교류전원으로부터 트리거를 얻어 연속적으로 트리거되고 정전이 되면 트리거되지 않으므로 이때의 출력을 이용하여 경보장치를 가동시키는 역할을 할 수 있다.



<그림 b’> 정전감지 timing diagram

반면, 본 실험에서 사용된 74121는 재트리거가 불가능한(non-retriggerable) 단안정 회로로, 불안정한 상태에서는 어떤 트리거에도 반응하지 않는 모습을 보인다. <그림 5-1>를 통해, 출력 신호의 펄스폭은 커패시터의 용량과 저항의 크기에만 영향을 받기 때문에 커패시터와 저항의 크기를 적절히 조절하여 출력 신호가 특정한 펄스폭을 갖게 하였으면 입력 신호의 duty cycle을 변화시켜도 영향을 받지 않고 펄스폭의 값을 일정하게 유지한다는 사실을 알 수 있었다. 그렇다면 <그림 5-2>에서 입력 신호의 주파수를 변화시켜도 펄스폭은 영향을 받지 않아야 하므로 50 μs을 유지할 것이고 <그림 5>의 회로가 재트리거 가능한 단안정 멀티바이브레이터 회로라면 트리거 신호가 들어와서 불안정 상태인 상태에서 또 다른 트리거가 들어오면 펄스폭만큼 연장되어 불안정 상태가 유지되어야 한다는 사실을 예상해볼 수 있었다. 하지만 실험 결과, <그림 5-2>와 같이 불안정 상태에서 트리거가 들어와도 펄스폭, 50 μs만큼 불안정 상태가 늘어나지 않고 변함없이 50 μs의 펄스폭을 유지한다는 것을 확인할 수 있었다. 따라서, 74121를 이용하여 구성한 <그림 5>의 회로는 재트리거가 불가능한 단안정 멀티바이브레이터 회로라는 결론을 내릴 수 있었다.

1. 참고문헌

-Earl Gates, 전기전자공학, 1판, 북스힐, 2018년, pg. 265-273

-Alan B. Marcovitz, Introduction to logic design, 3판, McGraw-Hill Higher Education, 2009년, pg. 295-306